

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002141754 A**(43) Date of publication of application: **17.05.02**

(51) Int. Cl.

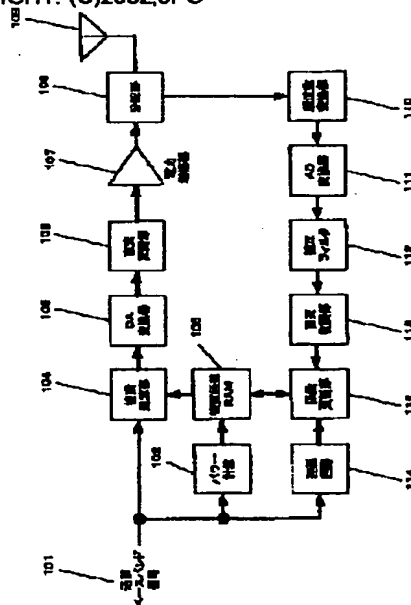
H03F 1/32**H03F 1/34****H03F 3/24****H04B 1/04****H04L 27/36****H04L 27/20**(21) Application number: **2000335498**(22) Date of filing: **02.11.00**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **TAKABAYASHI SHINICHIRO
MURAKAMI YUTAKA
ORIHASHI MASAYUKI
MATSUOKA AKIHIKO**(54) **PRE-DISTORTION DEVICE**(57) **Abstract**

PROBLEM TO BE SOLVED: To equalize a frequency characteristic caused between loops including a power amplifier so as to enhance the compensation characteristic.

SOLUTION: In the pre-distortion device where a complex multiplier section 104 applies complex multiplication to a transmission base band signal 101 and an output of a compensation coefficient RAM 103, a power amplifier 107 amplifies the output from an orthogonal modulation section 106 resulting from applying orthogonal modulation to an output of a digital/analog converter 105, and an output of a distributor 108 is transmitted from an antenna 109, and a coefficient update section 115 updates a compensation coefficient by using the output of an orthogonal demodulation section 113 applying orthogonal demodulation to the output of the distributor 108 and the transmission base band signal 101 delayed by a delay circuit 114, a feedback section is provided with a correction filter 112 to equalize the frequency characteristic between the loops. The correction filter 112 has a characteristic inverse to the frequency characteristic between the loops measured in advance

and adaptively learns the characteristic when the frequency characteristic is temporally changed.

COPYRIGHT: (C)2002,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-141754

(P2002-141754A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
H 0 3 F 1/32		H 0 3 F 1/32	5 J 0 9 0
	1/34		5 J 0 9 1
	3/24		5 K 0 0 4
H 0 4 B 1/04		H 0 4 B 1/04	R 5 K 0 6 0
H 0 4 L 27/36		H 0 4 L 27/20	Z
審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願2000-335498 (P2000-335498)

(22) 出願日 平成12年11月2日 (2000.11.2)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高林 真一郎

神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内

(72) 発明者 村上 豊

神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

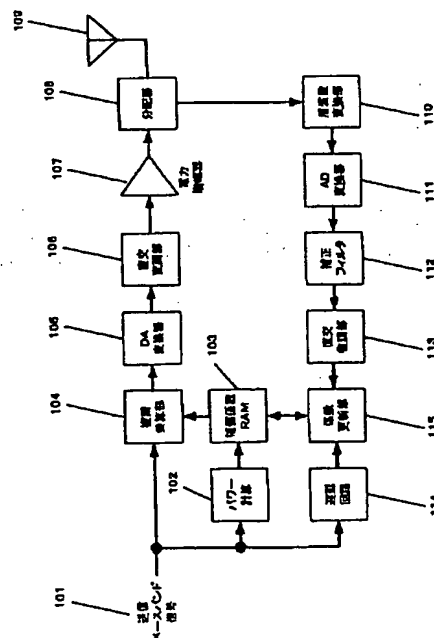
最終頁に続く

(54) 【発明の名称】 プリディストーション装置

(57) 【要約】

【課題】 適応型プリディストーション装置の電力増幅器を含むループ間で生じる周波数特性を等化して補償特性を向上させる。

【解決手段】 送信ベースバンド信号101と補償係数RAM103とを複素乗算部104で複素乗算し、直交変調部106で直交変調した出力を電力増幅器107で増幅してアンテナ109より送信するとともに、直交復調部113で直交復調し多出力と遅延回路114で遅延させた送信ベースバンド信号101により補償係数の更新を行う係数更新部115を有するプリディストーション装置において、フィードバック部にループ間の周波数特性を等化するための補正フィルタ112を設ける。補正フィルタ112には予め測定されたループ間の周波数特性の逆特性を持たせ、周波数特性が時間的に変化するような場合には適応的にその特性を学習させる。



【特許請求の範囲】

【請求項1】 送信ベースバンド信号のパワー値を計算するパワー計算部と、前記パワー値に基づいて読み出される補償係数を格納するRAM(Random Access Memory)と、前記送信ベースバンド信号と前記補償係数との間で複素乗算を行う複素乗算部と、前記複素乗算部の出力を直交変調する直交変調部と、前記直交変調部の出力を増幅する電力増幅器と、前記電力増幅器の出力を分配する分配器と、前記分配器の出力の一部を直交復調する直交復調部と、前記送信ベースバンド信号を遅延させる遅延回路と、前記直交復調部の出力と前記遅延回路の出力を用いて前記RAMに格納されている補償係数の更新を行う係数更新部を有するプリディストーション装置において、前記分配器と前記直交復調部との間に補正フィルタを設けて前記複素乗算部から前記係数更新部までの間で生じる周波数特性の逆特性を与えることを特徴とするプリディストーション装置。

【請求項2】 送信ベースバンド信号のパワー値を計算するパワー計算部と、前記パワー値に基づいて読み出される補償係数を格納するRAM(Random Access Memory)と、前記送信ベースバンド信号と前記補償係数との間で複素乗算を行う複素乗算部と、前記複素乗算部の出力を直交変調する直交変調部と、前記直交変調部の出力を増幅する電力増幅器と、前記電力増幅器の出力を分配する分配器と、前記分配器の出力の一部を直交復調する直交復調部と、前記送信ベースバンド信号を遅延させる遅延回路と、前記直交復調部の出力と前記遅延回路の出力を用いて前記RAMに格納されている補償係数の更新を行う係数更新部を有するプリディストーション装置において、前記直交復調部と前記係数更新部との間に補正フィルタを設けて前記複素乗算部から前記係数更新部までの間で生じる周波数特性の逆特性を与えることを特徴とするプリディストーション装置。

【請求項3】 請求項1または請求項2に記載のプリディストーション装置において、補正フィルタの特性を変化させることによりループ遅延の調整を可能とすることを特徴とするプリディストーション装置。

【請求項4】 請求項1から3のいずれかに記載のプリディストーション装置において、補正フィルタはタップ付遅延線により構成され、前記補正フィルタのタップ定数は適応動作により更新することを特徴とするプリディストーション装置。

【請求項5】 請求項1から4のいずれかに記載のプリディストーション装置を用いた無線通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は無線通信システムの送信機に利用される送信電力増幅器において発生する非線形歪を補償するためのプリディストーション装置に関する。

【0002】

【従来の技術】 無線通信システムの送信機に含まれる電力増幅器においては、電力効率の向上および装置の小型化を図るために非線形歪補償技術の利用がなされている。代表的な歪補償技術としては、フィードフォワード、カーテシアンループ、プリディストーションなどが挙げられるが、特にプリディストーション方式はベースバンド帯域におけるデジタル信号処理技術を利用することにより高精度な補償特性が得られる特徴をもつ。また特開平10-150394号公報に記載されているようなプリディストーション方式では、適応動作により温度特性等の環境変化に追従して安定な補償特性が得られる。

【0003】 図3に従来の適応型プリディストーション装置の構成例を示す。301は送信ベースバンド信号、302はパワー計算部、303は補償係数RAM(Random Access Memory)、304は複素乗算部、305はDA変換器、306は直交変調部、307は電力増幅器、308は分配器、309はアンテナ、310は直交復調部、311はAD変換器、312は遅延回路、313は係数更新部である。

【0004】 送信ベースバンド信号301のパワー値は、パワー計算部302において計算され、そのパワー値をアドレスとして補償係数RAM303より非線形歪を補償するための補償係数が読み出される。複素乗算部304においては送信ベースバンド信号301と補償係数RAM303より読み出された補償係数との間で複素乗算が行われ非線形歪を補償するための歪が付加される。複素乗算部304の出力はDA変換器305においてアナログ信号に変換され直交変調部306において直交変調される。直交変調部306の出力は電力増幅器307において所望のレベルにまで増幅される。以上の操作により電力増幅器307からは歪の低減された変調信号が出力され、分配器308を通してアンテナ309より送信される。

【0005】 一方、分配器308では電力増幅器307の出力の一部が分配され、直交復調部310において直交復調されることでベースバンド帯域の信号にダウンコンバートされ、さらにAD変換器311によりデジタル信号に変換される。また送信ベースバンド信号301は遅延回路312に入力され、複素乗算部304から係数更新部313までのループにおける信号遅延分に相当する遅延を与えることにより、遅延回路312の出力には参照信号が得られる。この参照信号とAD変換器311の出力は係数更新部313に入力されて誤差成分が計算され、その値をもとにして補償係数RAM303に格納された補償係数の値が更新される。この適応動作により温度特性、電源電圧特性等の環境変化に対しても安定した歪補償特性を得ることが可能となる。

【0006】

【発明が解決しようとする課題】以上のような適応型プリディストーション装置では、複素乗算部304から係数更新部313までのループの間の周波数特性が、歪成分を含む変調信号帯域内において平坦である必要がある。周波数特性が平坦でない場合には補償係数の収束性が低下し歪補償特性の劣化が生じる。

【0007】本発明は上記課題を解決するもので、適応型プリディストーション装置において、電力増幅器を含むループ間で生じる周波数特性を等化して補償特性を向上させることを目的とする。

【0008】また等化フィルタにループ遅延制御の機能を持たせることにより遅延回路の回路規模を削減することを目的とする。

【0009】

【課題を解決するための手段】上記の課題を解決するため本発明では、適応型プリディストーション方式における分配器から直交復調部までの間、もしくは直交復調部と係数更新部との間に、ループ間の周波数特性を等化するための補正フィルタを設ける。この補正フィルタには予め測定されたループ間の周波数特性の逆特性を持たせる。ループ間の周波数特性が時間的に変化するような場合には適応的にその逆特性を学習させるようにする。また補正フィルタの特性には、ループ遅延制御のための遅延特性を含めることも可能である。

【0010】

【発明の実施の形態】本発明の請求項1に記載の発明は、送信ベースバンド信号のパワー値を計算するパワー計算部と、前記パワー値に基づいて読み出される補償係数を格納するRAM(Random Access Memory)と、前記送信ベースバンド信号と前記補償係数との間で複素乗算を行う複素乗算部と、前記複素乗算部の出力を直交変調する直交変調部と、前記直交変調部の出力を増幅する電力増幅器と、前記電力増幅器の出力を分配する分配器と、前記分配器の出力の一部を直交復調する直交復調部と、前記送信ベースバンド信号を遅延させる遅延回路と、前記直交復調部の出力と前記遅延回路の出力を用いて前記RAMに格納されている補償係数の更新を行う係数更新部を有するプリディストーション装置において、前記分配器と前記直交復調部との間に補正フィルタを設けて前記複素乗算部から前記係数更新部までの間で生じる周波数特性の逆特性を与えることを特徴とするプリディストーション装置であり、前記複素乗算部から前記係数更新部までのループ間の周波数特性を等化することにより、高精度な歪補償特性を得る作用を有する。

【0011】請求項2に記載の発明は、送信ベースバンド信号のパワー値を計算するパワー計算部と、前記パワー値に基づいて読み出される補償係数を格納するRAM(Random Access Memory)と、前記送信ベースバンド信号と前記補償係数との間で複素乗算を行う複素乗算部と、前記複素乗算部の出力を直交変調する直交変調部と、前

記直交変調部の出力を増幅する電力増幅器と、前記電力増幅器の出力を分配する分配器と、前記分配器の出力の一部を直交復調する直交復調部と、前記送信ベースバンド信号を遅延させる遅延回路と、前記直交復調部の出力と前記遅延回路の出力を用いて前記RAMに格納されている補償係数の更新を行う係数更新部を有するプリディストーション装置において、前記直交復調部と前記係数更新部との間に補正フィルタを設けて前記複素乗算部から前記係数更新部までの間で生じる周波数特性の逆特性を与えることを特徴とするプリディストーション装置であり、請求項1と同様の作用を有する。

【0012】請求項3に記載の発明は、請求項1または請求項2に記載のプリディストーション装置において、補正フィルタの特性を変化させることによりループ遅延の調整を可能とすることを特徴とするプリディストーション装置であり、補正フィルタにループ遅延制御の機能を持たせることで遅延回路の回路規模を削減する作用を有する。

【0013】請求項4に記載の発明は、請求項1から3のいずれかに記載のプリディストーション装置において、補正フィルタはタップ付遅延線により構成され、前記補正フィルタのタップ定数は適応動作により更新することと特徴とするプリディストーション装置であり、適応動作によりループ間の周波数特性が時間的に変動するような場合においても高精度な歪補償特性を得る作用を有する。

【0014】以下、本発明の実施の形態について図1および図2を用いて説明する。

【0015】(実施の形態1)図1は本発明の第1の実施の形態におけるプリディストーション装置のブロック図である。101は送信ベースバンド信号、102はパワー計算部、103は補償係数RAM、104は複素乗算部、105はDA変換器、106は直交変調部、107は電力増幅器、108は分配器、109はアンテナ、110は周波数変換部、111はAD変換器、112は補正フィルタ、113は直交復調部、114は遅延回路、115は係数更新部である。

【0016】以上のように構成されたプリディストーション装置について、図1を用いてその動作を説明する。まず送信ベースバンド信号101のパワー値は、パワー計算部102において計算され、そのパワー値をアドレスとして補償係数RAM103より非線形歪を補償するための補償係数が読み出される。複素乗算部104においては送信ベースバンド信号101と補償係数RAM103より読み出された補償係数との間で複素乗算が行われ非線形歪を補償するための歪が付加される。複素乗算部104の出力はDA変換器105においてアナログ信号に変換され直交変調部106において直交変調される。直交変調部106の出力は電力増幅器107において所望のレベルにまで増幅され、分配器108を通して

アンテナ109より送信される。

【0017】一方、分配器108では電力増幅器107の出力の一部が分配され、周波数変換部110によりIF帯の信号にダウンコンバートされる。周波数変換部110より出力されたIF信号はAD変換器111によりデジタル信号に変換される。AD変換器111の出力は補正フィルタ112に輸入され、複素乗算部104から係数更新部115までの間の周波数特性の逆特性が与えられる。補正フィルタ112の出力は直交復調部113において直交復調されることでベースバンド帯の信号に変換される。

【0018】また送信ベースバンド信号101は遅延回路114に輸入され、複素乗算部104から係数更新部115までのループにおける信号遅延分に相当する遅延を与えることにより、遅延回路114の出力には参照信号が得られる。この参照信号と直交復調部113の出力は係数更新部115に輸入されて誤差成分が計算され、その値をもとにして補償係数RAM103に格納された補償係数の値が更新される。

【0019】上記の例では補正フィルタ112はデジタル回路により構成されているが、これはアナログ回路で構成しても良い。その場合はAD変換器111との間で順序が逆となる。また上記の例ではフィードバックされた信号をIFサンプリングする構成であるが、ベースバンド帯でサンプリングする構成にしても良い。その場合はAD変換器111は直交復調部113の後段に位置する。

【0020】また、補正フィルタ112においてループ遅延制御を行わせるためには、デジタル回路であれば異なる遅延特性（タップ係数）を持つフィルタを数種用意しておいて切り換える、アナログ回路であれば回路定数の変更により群遅延特性を変更することにより実現が可能である。遅延制御を補正フィルタ112で行うようにした場合には、遅延回路114では遅延フィルタやオーバーサンプリング等の処理は不要となり、単純なバッファ回路で構成すれば十分となる。

【0021】なお補正フィルタ112をデジタル回路（タップ付遅延線）で構成した場合には適応的にタップ係数を更新することにより、ループ間の周波数特性や遅延量が時間的に変動した場合においても特性追従が可能となる。

【0022】（実施の形態2）図2は本発明の第2の実施の形態におけるプリディストーション装置のブロック図である。201は送信ベースバンド信号、202はパワー計算部、203は補償係数RAM、204は複素乗算部、205はDA変換器、206は直交変調部、207は電力増幅器、208は分配器、209はアンテナ、210は周波数変換部、211は直交復調部、212はAD変換器、213は補正フィルタ、214は遅延回路、215は係数更新部である。

【0023】以上のように構成されたプリディストーション装置について、図2を用いてその動作を説明する。まず送信ベースバンド信号201のパワー値は、パワー計算部202において計算され、そのパワー値をアドレスとして補償係数RAM203より非線形歪を補償するための補償係数が読み出される。複素乗算部204においては送信ベースバンド信号201と補償係数RAM203より読み出された補償係数との間で複素乗算が行われ非線形歪を補償するための歪が付加される。複素乗算部204の出力はDA変換器205においてアナログ信号に変換され直交変調部206において直交変調される。直交変調部206の出力は電力増幅器207において所望のレベルにまで増幅され、分配器208を通してアンテナ209より送信される。

【0024】一方、分配器208では電力増幅器207の出力の一部が分配され、周波数変換部210によりIF帯の信号にダウンコンバートされる。周波数変換部210より出力されたIF信号は直交復調部211において直交復調されベースバンド帯の信号に変換される。直交復調部211の出力はAD変換器212によりデジタル信号に変換され補正フィルタ213に輸入される。補正フィルタ213では複素乗算部204から係数更新部215までの間の周波数特性の逆特性が与えられる。

【0025】一方、送信ベースバンド信号201は遅延回路214に輸入され、複素乗算部204から係数更新部215までのループにおける信号遅延分に相当する遅延を与えることにより、遅延回路214の出力には参照信号が得られる。この参照信号と補正フィルタ213の出力は係数更新部215に輸入されて誤差成分が計算され、その値をもとにして補償係数RAM203に格納された補償係数の値が更新される。

【0026】上記の例では補正フィルタ213はデジタル回路により構成されているが、これはアナログ回路で構成しても良い。その場合はAD変換器212との間で順序が逆となる。また、補正フィルタ213においてループ遅延制御を行わせるためには、デジタル回路であれば異なる遅延特性（タップ係数）を持つフィルタを数種用意しておいて切り換える、アナログ回路であれば回路定数の変更により群遅延特性を変更することにより実現が可能である。

【0027】遅延制御を補正フィルタ213で行うようにした場合には、遅延回路214では遅延フィルタやオーバーサンプリング等の処理は不要となり、単純なバッファ回路で構成すれば十分となる。なお補正フィルタ213をデジタル回路（タップ付遅延線）で構成した場合には適応的にタップ係数を更新することにより、ループ間の周波数特性や遅延量が時間的に変動した場合においても特性追従が可能となる。

【0028】

【発明の効果】以上のように本発明によれば適応型プリ

ディストーション装置において、ループ間の周波数特性の逆特性をフィードバック信号に与え、ループ間の周波数特性を平坦にすることにより歪補償特性の向上がはかれる。またその逆特性を与えるためのフィルタにループ遅延制御機能を持たせることで、従来からの遅延回路の回路規模を削減することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態による適応型プリディストーション装置のブロック図

【図2】 本発明の第2の実施の形態による適応型プリディストーション装置のブロック図

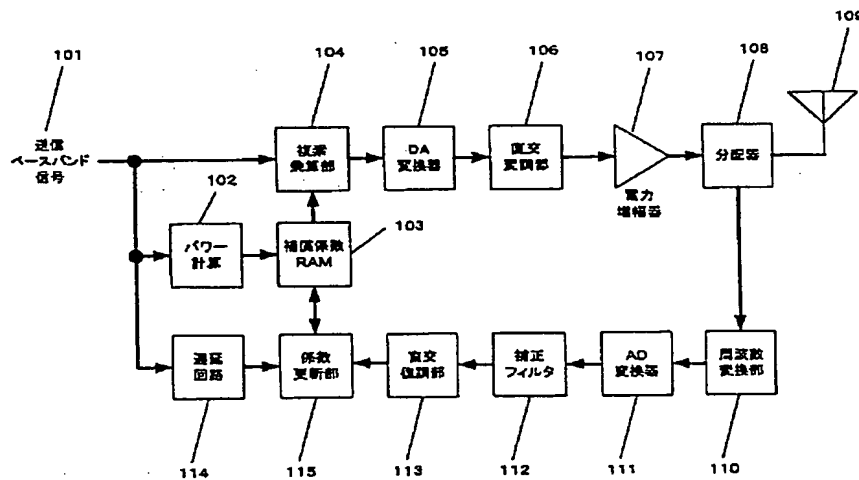
【図3】 従来の適応型プリディストーション装置のブロック図

【符号の説明】

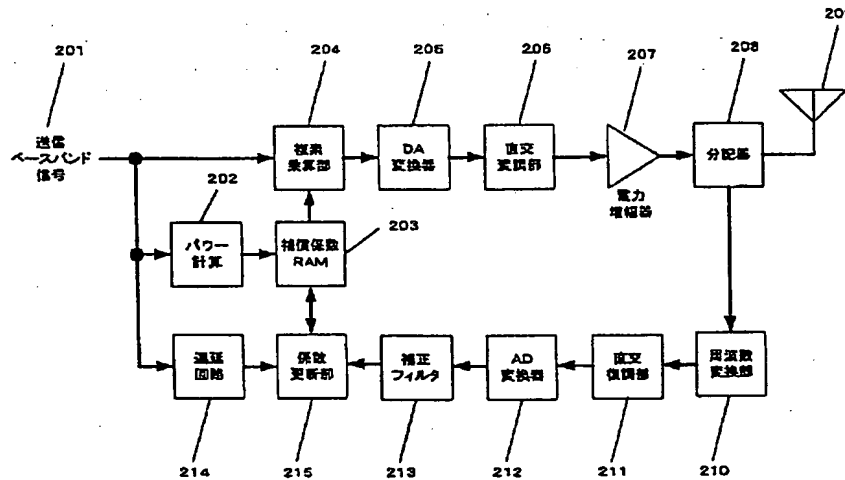
101、201 送信ベースバンド信号

102、202 パワー計算部
103、203 補償係数RAM
104、204 複素乗算部
105、205 DA変換器
106、206 直交変調部
107、207 電力増幅器
108、208 分配器
109、209 アンテナ
110、210 周波数変換部
111、212 AD変換器
112、213 補正フィルタ
113、211 直交復調部
114、214 遅延回路
115、215 係数更新部

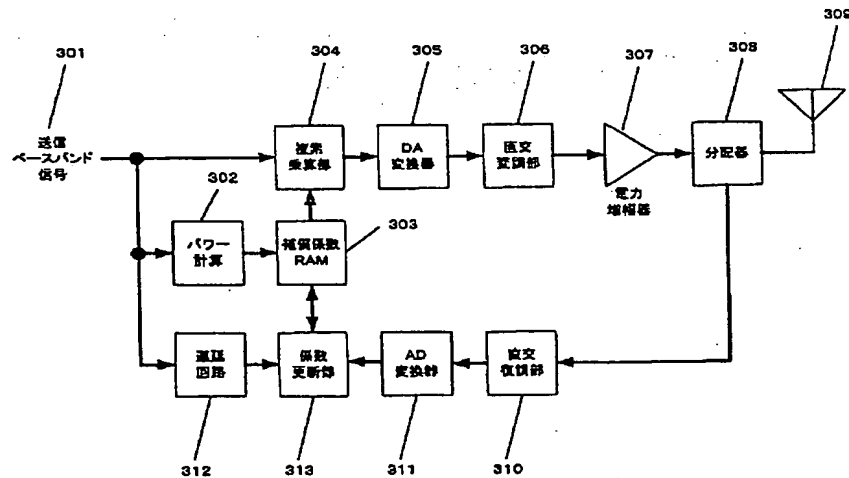
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.⁷
H04L 27/20

識別記号

F I
H04L 27/00

テ-マ-ド (参考)
F

(72) 発明者 折橋 雅之
神奈川県川崎市多摩区東三田3丁目10番1
号 松下技研株式会社内

(72) 発明者 松岡 昭彦
神奈川県川崎市多摩区東三田3丁目10番1
号 松下技研株式会社内

BEST AVAILABLE COPY

!(7) 002-141754 (P2002-14V58

Fターム(参考) 5J090 AA01 AA41 CA21 CA64 CA92
FA20 GN03 GN06 KA00 KA03
KA15 KA34 KA53 KA55 MA11
NN12 SA14 TA01
5J091 AA01 AA41 CA21 CA64 CA92
FA20 KA00 KA03 KA15 KA34
KA53 KA55 MA11 SA14 TA01
5K004 AA05 AA08 FF05 JF04
5K060 BB07 HH06 HH11 KK03 KK04
KK06